

xThis Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.  
003702606

WPI Acc No: 1983-62588K/198326

Single-crystallising amorphous or polycrystalline semiconductor - layered  
on insulated substrate, by laser-beam heating NoAbstract

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58085520	A	19830521				198326 B

Priority Applications (No Type Date): JP 81184697 A 19811117

Patent Details:

Patent No	Kind	Ln Pg	Main IPC	Filing Notes
-----------	------	-------	----------	--------------

JP 58085520	A	2		
-------------	---	---	--	--

Title Terms: SINGLE; CRYSTAL; AMORPHOUS; POLYCRYSTALLINE;  
SEMICONDUCTOR;LAYER; INSULATE; SUBSTRATE; LASER; BEAM; HEAT;  
NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

RECEIVED

JAN -5 2004

TECHNOLOGY CENTER 2800



DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

01148120 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **58-085520** [JP 58085520 A]

PUBLISHED: May 21, 1983 (19830521)

INVENTOR(s): KOBA MASAYOSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 56-184697 [JP 81184697]

FILED: November 17, 1981 (19811117)

INTL CLASS: [3] H01L-021/20; H01L-021/263; H01L-021/76; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion  
Implantation)

JOURNAL: Section: E, Section No. 191, Vol. 07, No. 178, Pg. 166,  
August 06, 1983 (19830806)

**ABSTRACT**

PURPOSE: To manufacture a semiconductor device with good controllability by a method wherein a semiconductor device is manufactured by introducing impurities to an amorphous or polycrystalline semiconductor layer and applying a laser beam to heat the layer, thereby converting the whole surface of the semiconductor layer into a single crystal layer, or converting a proper region into a single crystal layer.

CONSTITUTION: An insulating substrate 10 is made of glass, thermal-oxidized silicon, or quartz, or made by covering the metal surface with an insulator, and an amorphous or polycrystalline silicon semiconductor layer 11 is formed on the surface of the substrate. Then an insulator film 12 such as a resist layer or silicon dioxide layer is formed on the layer 11, and the film layer 12 is etched to form holes 13. Oxygen ion implanted regions 15 are formed on the surface of the insulating film 12 and holes 13 by the ion implantation method. The insulating film 12 is then removed so as to expose the whole surface of the semiconductor layer 11 having the regions 15 to which oxygen ions are implanted and the regions 16 to which oxygen ions are not implanted. Then, a layer beam 17 is irradiated to the layer 11 to heat and convert the regions 16 into single crystal silicon layers 18.

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—85520

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/20  
21/263  
21/76  
29/78

識別記号  
7739--5F  
8122--5F  
7377--5F

⑬ 公開 昭和58年(1983)5月21日  
発明の数 1  
審査請求 未請求

(全 4 頁)

④ 半導体装置の製造方法

⑤ 特 願 昭56—184697  
⑥ 出 願 昭56(1981)11月17日  
⑦ 発明者 木場正義

大阪市阿倍野区長池町22番22号  
シャープ株式会社内

⑧ 出願人 シャープ株式会社  
大阪市阿倍野区長池町22番22号  
⑨ 代理人 弁理士 福士愛彦

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁性基板上に非晶質または多結晶から成る半導体層を形成する工程と、該半導体層上にマスク層を形成し、該マスク層に開孔を穿設する工程と、該開孔を介して前記半導体層に不純物を導入する工程と、前記半導体層を熱エネルギーの照射により加熱し選択的に単結晶化せしめる工程とを具備してなることを特徴とする半導体装置の製造方法。

2. 热エネルギーの照射をレーザ光で行なった特許請求の範囲第1項記載の半導体装置の製造方法。

3. 半導体層の複数個所を単結晶化せしめるとともにその周囲の不純物が導入された非晶質または多結晶半導体層を素子分離用高抵抗層として残存せしめた特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に絶縁性基板上に層設された非晶質または多結晶半導体をレーザ光等で照射加熱して単結晶化させる技術に関するものである。

従来、絶縁性基板上に半導体素子を形成した構造の半導体装置として良く知られているものにSOS(シリコン・オン・サファイア)方式がある。この構造は一枚のサファイア基板上に例えばMOSトランジスタ等を確実な素子分離を行なって集積することができるが、一方サファイア基板が高価であること、エピタキシャル成長させたシリコンの膜質が向上しないこと等の難点も有している。また最近注目されている技術として絶縁性基板上に堆積した非晶質または多結晶シリコンにレーザ光を照射して加熱し、単結晶シリコンを作製する方法がある。即ち、グラフォエピタキシー、ブリッジングエピタキシー、島状構造エピタキシー等の方法がそれである。しかし未だ実用に耐えるものは完成されていないのが実情である。

本発明は絶縁性基板上に半導体素子が形成されたり構造の半導体装置の製造技術に於ける将来の重要なと不満足な現状に鑑み、種々の新規な技術的手段を駆使することにより実用的価値を飛躍的に向上せしめた半導体装置の製造方法を提供することを目的とするものである。

一般に非晶質半導体或いは結晶粒子の微細な多結晶半導体等は、単結晶半導体に比較するとレーザ光等に対する光吸収係数が大きく、それにより良好な加熱、アニールが可能であることから、その特性を利用して非晶質或いは多結晶半導体層の単結晶化を行なうことができ、従って従来得られなかった構成の半導体装置の製造も可能になると考えられる。ところで非晶質或いは多結晶半導体層の一部の領域に適当な不純物をイオン注入法等で高密度に導入すると、不純物を導入した領域は不純物が導入されていない領域より光吸収係数が低下してレーザ光等の光吸収量が低下し、レーザ光照射下で加熱され難くなる現象がある。またこれと逆の操作で光吸収係数を増大させて前述と逆

(3)

(1)いま、絶縁性基板10として、バイレックスガラス等のガラス、シリコン単結晶の熱酸化シリコン、石英、あるいは適当な金属表面を絶縁物で覆った基板等を用い、その表面には非晶質或いは多結晶のシリコン半導体層11を蒸着法或いはスパッタリング法等によって0.5~1μm程度の厚さに被着形成する。(第1図(a))

(2)次に、非晶質或いは多結晶シリコン半導体層11上にレジスト層或いはプラズマCVD法、スパッタリング法等を用いた二酸化シリコン層等の絶縁体膜12を形成する。(第1図(b))

(3)次に、レジスト層或いは二酸化シリコン層をフォト・リソグラフィ法により蝕刻し、開孔13を形成する。(第1図(c))

(4)次に絶縁体膜12及び開孔13全面にイオン注入法により酸素イオン14を少なくとも $10^{16}$ イオン/cm<sup>2</sup>以上注入して酸素イオン注入領域15を形成する。(第1図(d))

(5)次に絶縁体膜12をドライエッティング法等により除去し、部分的に酸素イオン注入された領域

(5)

特開昭58-85520(2)

の効果を得ることもできる。例えば、非晶質シリコンに酸素或いは窒素を約 $10^{16}$ イオン/cm<sup>2</sup>程度以上イオン注入してやると非晶質シリコンの光学的バンドギャップが大きくなり、レーザ光に対する光吸収係数が注入前より低下するので、イオン注入領域およびイオン未注入領域の全領域をレーザ光照射し加熱アニールすると、イオン注入された領域よりイオン注入されなかった領域の方が急速に高溫まで加熱される。

本発明の骨子は上記特性を利用することにあり、非晶質或いは多結晶半導体層の適当な領域にイオン注入等により適当な不純物を導入した後レーザ光等により照射加熱し、半導体層の表面全域を単結晶に変換すること或いは適当な領域だけ選択的に単結晶化することを基本とする。

以下本発明を実施例に従って図面を参照しながら詳説する。

第1図(a)乃至(d)は本発明の1実施例を説明する半導体装置の製造工程断面図であり、以下工程順に説明する。

(4)

15及び酸素イオン注入されなかった領域16を有する半導体層11の全域を露出させる。(第1図(e))

(6)そして、半導体層11をレーザ光17で照射加熱しながら走査して酸素イオン14を注入されなかった領域16を単結晶シリコン18に変換する。(第1図(f))この場合、半導体層11の酸素イオンが注入された領域でも注入酸素イオン濃度が低い極く薄い表面層は酸素イオン注入されなかった領域と同様に単結晶シリコン化するので第1図(f)において斜線部分がすべて単結晶シリコン18となる。

別の工程例として第1図(e)に示した工程(5)の次に酸素イオン14を注入した領域において、表面から深さ方向へ酸素イオン濃度が低い表面層即ち注入酸素イオン濃度分布の極大値より約1桁酸素イオン濃度が低い部分をあらかじめ酸素イオン注入されなかった領域16の表面層をも含めて除去しておく。そして半導体層11をレーザ光17で照射加熱しながら走査すると酸素イオン14を注

(6)

入されなかった領域 16 のみが選択的に加熱され、单結晶シリコン 18 に変換される。(第1図(g))

上記工程で得られた单結晶シリコンはいずれも均一で極めて良質なものである。そして半導体層 11 の酸素イオンを注入してレーザ光照射加熱が不充分にしかなされたかった領域 15 は比抵抗の高い非晶質或いは多結晶のままに残存するので、これを半導体装置の素子間分離絶縁層として利用することができる。

こうして得られた单結晶 17 に通常の集積化技術において知られたプロセスにより各種の回路素子を形成することができるが、ここでは 1 実施例として SOS 技術に基く回路素子形成について工程(6)の次に続く工程として第2図とともに説明する。即ち第2図に示すように、イオン注入法によりソース領域 19、ドレイン領域 20 およびチャネル領域 21 を形成した後ゲート酸化膜 22 を設け、ソース電極 23、ドレイン電極 24 およびゲート電極 25 を配線して半導体装置が構成される。尚、第2図には便宜上、1 個の MOS トランジス

(7)

晶化せしめる工程とを結合することにより半導体装置を制御性良く製造する技術であり、絶縁基板に非晶質又は多結晶半導体を載置してこれを单結晶化して素子構成層とすることを基本とする新規な半導体装置の製造方法として非常に実用性の高い技術である。

#### 4. 図面の簡単な説明

第1図は本発明の 1 実施例を説明する半導体装置の製造工程断面図である。第2図は本発明により得られる半導体装置の 1 実施例を示す構成断面図である。

10…絶縁性基板、11…半導体層、12…絶縁体膜、13…開孔、15…酸素イオン注入領域、18…单結晶シリコン。

代理人 弁理士 福士愛彦

特開昭58-85520(3)

タのみ示したが、他の複数個の单結晶シリコン領域にも MOS トランジスタその他抵抗等の回路素子を形成し集積回路を構成することができる。その場合第1図(g)においてレーザアニールされず非晶質或いは多結晶シリコンのままで残存している領域は高比抵抗領域であり、そのまま素子間分離層として利用することができる。尚、半導体層はシリコンに限定されるものではなく、他の半導体材料を用いることも可能である。

以上詳説した如く、本発明は絶縁性基板上に非晶質或いは多結晶半導体層を形成する工程と半導体層上にレジストや絶縁物の層を形成し、レジストや絶縁物の層の一部を蝕刻により除去し開孔することにより開孔を通して半導体層にイオン注入等により不純物を導入し、高不純物領域と不純物の導入されない領域を形成する工程と然后にレジストや絶縁物の層を完全に除去するか或いは残存せしめたまま半導体層をレーザ光等によって照射加熱し不純物の導入されない領域を单結晶化せしめ或いはまた不純物濃度の低い表面層をも单結

(8)

(9)